

PARTIAL TRANSLATION OF JP 62(1987)-262140 A

Publication Date: November 14, 1987

Title of the Invention: MICROCOMPUTER

Patent Application Number: 61-105877

Filing Date: May 8, 1986

Inventors: Makoto NISHINO

Applicant: NEC IC MICROCOMPUT SYST LTD

(Page 3, upper right column, line 12-lower left column, line 14)

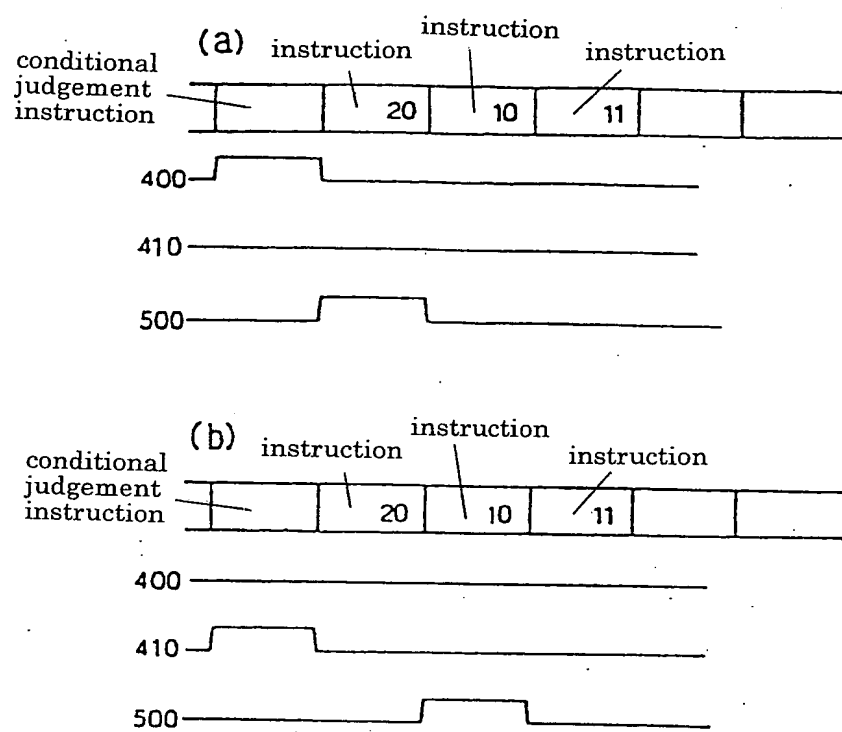
Figure 4(a) shows the states of the control lines 400, 410 and 511 when the condition is true. The true judgement control signal 400 is outputted since the condition proves true as the result of the execution of the conditional judgement instruction. This signal is returned to the instruction decoder 4 as an instruction prohibition signal with delay of 1 instruction execution time by the delay circuit 5. Accordingly, an instruction 20 subsequent to the conditional judgement instruction is inhibited from being executed, and an instruction 10 is executed after the conditional judgement instruction, followed by an instruction 11 and a series of subsequent instructions.

Figure 4(b) shows the states of the control lines 400, 410 and 500 when the condition is false. The false judgement control signal 410 is outputted since the condition proves false as the result of the execution of the conditional judgement instruction. This signal is returned to the instruction decoder 500 as an instruction prohibition instruction with delay of 2 instruction execution times by the two-stage delay circuit 5. Accordingly, after the execution of the conditional judgement instruction, the subsequent instruction 20 is executed, followed by the instruction 11 and the subsequent instructions, without the execution of the instruction 10 even when it is taken in an instruction register 3.

As described above, according to the microcomputer of the present invention, ~~after the~~ execution of the conditional judgement instruction, one

from the two instructions subsequent to the conditional judgement instruction is selectively executed according to the authenticity of the condition, and then, the following instructions are executed. At this time, no branch instruction is executed.

Figs. 4





## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **62262140 A**(43) Date of publication of application: **14.11.87**

(51) Int. Cl.

**G06F 9/32**  
**G06F 9/22**
(21) Application number: **61105877**(22) Date of filing: **08.05.86**(71) Applicant: **NEC IC MICROCOMPUT SYST LTD**(72) Inventor: **NISHINO MAKOTO**(54) **MICROCOMPUTER**

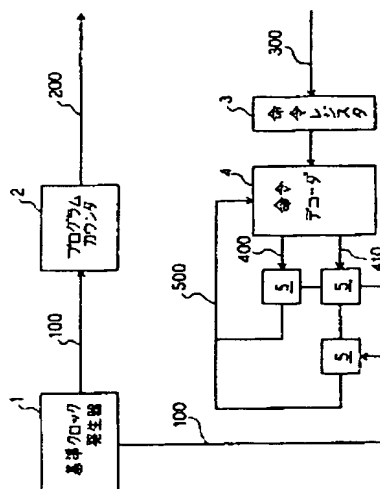
false judgement control signal 410 is outputted.

(57) Abstract:

COPYRIGHT: (C)1987,JPO&amp;Japio

**PURPOSE:** To selectively execute different instructions according to the authenticity of conditions of conditional judgement instruction without executing branch instruction by providing a means that suppresses the execution of an instruction following the conditional judgement instruction according to the authenticity of the conditions.

**CONSTITUTION:** A delay circuit 5 connected to two outputs 400 and 410 of an instruction decoder 4 is provided. Clock pulses are supplied from a reference clock generator 1 to the circuit 5, and inputted instruction is held for 1 instruction time and then an instruction prohibition signal is outputted. Accordingly, an instruction code outputted from output 410 of the decoder 4 is returned to the decoder 4 as an instruction prohibition signal through a signal line 500 after 2 instruction execution times. When the instruction is a conditional judgement instruction and the condition is true, a true judgement control signal 400 is outputted, and when the condition is false, a



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-262140

⑬ Int.Cl.<sup>4</sup>

G 06 F 9/32  
9/22

識別記号

3 2 0  
3 2 0

庁内整理番号

7361-5B  
8120-5B

⑭ 公開 昭和62年(1987)11月14日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 マイクロコンピュータ

⑯ 特 願 昭61-105877

⑰ 出 願 昭61(1986)5月8日

⑱ 発 明 者 西 野 信 東京都港区芝5丁目7番15号 日本電気アイシーマイコン  
システム株式会社内

⑲ 出 願 人 日本電気アイシーマイ  
コンシステム株式会社 東京都港区芝5丁目7番15号

⑳ 代 理 人 弁理士 内 原 晋

明細書

1. 発明の名称 マイクロコンピュータ

2. 特許請求の範囲

条件判断命令を備えたマイクロコンピュータであって、条件の真偽により、該条件判断命令に続く1命令の実行を抑止する手段と、該条件判断命令に続いて2番目の命令の実行を抑止する手段とを備え、条件の真偽によって条件判断命令に続いて実行する命令を選択的に実行することを特徴とするマイクロコンピュータ。

3. 発明の詳細な説明

産業上の利用分野

本発明はマイクロコンピュータに関し、特に条件の真偽によって、分岐命令を実行することなく、条件判断命令に続く処理を選択的に実行し得る機能を備える新規なマイクロコンピュータに関する。

従来の技術

従来の一般的なマイクロコンピュータは、条件判断命令を実行すると、その条件が真/偽の何れであるかにより、その条件判断命令に続く1命令のみを実行しないようにすることによってその条件に対応していた。

以下に、条件が偽のときに条件判断命令に続く次の1命令を実行しない条件判断命令を例に挙げて具体的に説明する。

第2図(a)はプログラム中に存在する条件判断命令と、それに続く命令群を示したものである。

この場合には、条件判断命令を実行した結果、条件が真のときには条件判断命令に続いて命令10、命令11、命令12の順で実行し、条件が偽のときには命令10は実行せず、命令11、命令12を実行する。

このような命令処理をフローチャートに表すと、第2図(b)に示すような実行フローとなり、条件の真偽により、命令10を実行するかしないかによってのみ条件判断の結果に対応していた。

発明が解決しようとする問題点

しかしながら、第3図(a)に示すように条件判断命令を実行した結果、条件が真のときには命令20を実行し、条件が偽のときには命令10を実行し、しかる後に命令11に続く命令を実行する処理が必要な場合がある。このような処理を従来のマイクロコンピュータで実行しようとする、プログラム上では必ず余分な分岐命令を実行する必要があった。

即ち、第3図(b)にプログラム例を示すように、条件判断命令を実行し、条件が偽のときには分岐命令1は実行されず、命令10、命令11の順で実行する。条件が真のときには、一旦分岐命令1を実行して他の番地に移り、命令20を実行した後再び分岐命令2でもとの処理プログラムの流れに戻り初めて命令11を実行することができるのである。すなわち、条件が偽の場合には分岐命令を2回実行することが必要になる。

このように、従来のマイクロコンピュータでは、条件判断命令の出力によって異なる振作の必要な

ている。

問題点を解決するための手段

即ち、本発明に従い、条件判断命令を備えたマイクロコンピュータであって、条件の真偽により、該条件判断命令に続く1命令の実行を抑止する手段と、該条件判断命令に続いて2番目の命令の実行を抑止する手段とを備え、条件の真偽によって条件判断命令に続いて実行する命令を選択的に実行することを特徴とするマイクロコンピュータが提供される。

作用

本発明に従うマイクロコンピュータは、条件判断命令を実行すると、その条件の真偽により、条件判断命令に続いて入力された2命令を選択的に実行する。即ち、例えば条件判断命令の実行により条件が真であった場合には、条件判断命令に続く1命令の実行を抑止し、次の命令を実行し、更に以下続く命令を順次実行する。また、条件が偽

処理では、プログラムのステップ数が増加し、メモリの使用効率を下げるのみならず、メモリの使用領域の分断化を招き、更に、プログラムリストを非常に読み難いものにしていた。また、処理の実行速度の面から考えても、プログラム・ステップの増加が好ましくないことはいうまでもない。

また、近年、キュー回路方式、即ち、次に実行する命令群をあらかじめ先取りして格納する回路を備えることにより、マイクロコンピュータの処理の実行速度を実質的に向上する方式が広く利用されている。しかしながら、この方式は一般に、分岐命令が出現するとキューに取りこまれた命令群を一旦放棄してキューを空にしてしまうため、分岐命令が頻発に出現するプログラムでは実行速度の向上が妨げられる。

そこで、本発明は、上記従来技術の問題点を解決し、条件判断命令の結果によって、異なる命令を選択的に実行しなければならないような処理を、分岐命令を用いることなく実行することのできるマイクロコンピュータを提供することを目的とし

であった場合は条件判断命令に続く1命令を実行し、次の命令の実行は抑止され、更に以下に続く命令を順次実行する。

このように、本発明に従うマイクロコンピュータは、分岐命令を実行することなく、条件判断命令の結果に対して異なる処理で対応することができ、分岐命令の実行に伴う各種の問題を排除することができる。

実施例

以下に、本発明の好ましい一態様を挙げて、本発明についてより具体的に詳述するが、以下に示されるものは本発明の一実施例にすぎず、本発明の技術的範囲を何等制限するものではない。

第1図は、本発明に従うマイクロコンピュータの構成を示すブロック図である。

基準クロック発生器1はマイクロプロセッサの動作基本クロックパルスを発生する。プログラム・カウンタ2はマイクロプロセッサが実行しようとする命令のアドレスを生成して、アドレスバ

ス200を通してアドレス信号を出力する。マイクロプロセッサに接続されたメモリから出力される命令はデータ・バス300を通して命令を保持する命令レジスタ3に保持される。命令デコード4は命令を解析してマイクロプロセッサ内の各部に動作の支持を与える。このような動作は、従来のマイクロコンピュータと同様の構成と動作である。

本発明に従うマイクロコンピュータは、更に、命令デコード4の2つの出力400および410に接続された遅延回路5を備えている。このとき、命令デコード4の出力400および410は、それぞれ条件判断命令の条件の真偽によって選択的に命令コードを出力するように構成されている。

各々の遅延回路5は、それぞれ基準クロック発生器1からのクロックパルスの供給を受けており、入力された命令を、1命令時間だけ保持した後命令実行禁止信号を出力するように構成されている。従って、命令デコード4の出力410から出力された命令コードは、2命令実行時間後に信号線500を通じて命令実行禁止信号として命令デコード4

に返される。

命令が条件判断命令であり、条件が真のときには真判断制御信号400を出力し、条件が偽のときには偽判断制御信号410を出力する。

真判断制御信号400は遅延回路5を通して1命令実行時間後に命令実行禁止信号500として命令デコード4に入力する。

上述のような構成を備えた、本発明に従うマイクロコンピュータに、条件判断命令が入力された場合の、制御信号の様子を第4図(a)および第4図(b)に示す。

第4図(a)は条件が真の場合の制御線400、410および511の状態を示している。即ち、条件判断命令が実行され、条件が真であるので真判断制御信号400が出力される。この信号は遅延回路5によって、1命令分の実行時間だけ遅延して命令実行禁止信号として命令デコード4に返される。従って、条件判断命令に続く命令20は実行を抑制され、命令10が条件判断命令に続いて実行され、以下命令11に続く一連の命令が実行される。

第4図(b)は条件が偽の場合の制御線400、410および500の状態を示している。即ち、条件判断命令を実行し、条件が偽であるので偽判断制御信号410が出力される。この信号は2段の遅延回路5によって2命令実行時間遅延して命令実行禁止命令として命令デコード500に返される。従って、条件判断命令実行後、続く命令20を実行し、次に続く命令10は命令レジスタ3に取込まれても実行はされず、その後命令11に続く命令を実行する。

このように、本発明に従うマイクロコンピュータは、条件判断命令を実行すると、該命令に続く2命令から、条件の真偽に応じて一方を選択的に実行した後、以後の命令を実行する。このとき分岐命令は一切実行されていない。

#### 発明の効果

以上詳述の如く、本発明に従うマイクロコンピュータは、分岐命令を実行することなく条件判断命令の条件の真偽によって、異なる命令を選択的に実行することができる。従って、条件分岐を実

行するために生じる数々の問題、即ち、メモリの消費、利用領域の分散、処理速度の低下、プログラムリストの複雑化を避けることができ、実質的にマイクロコンピュータの利用をより容易で高度なものに拡大することができる。

#### 4. 図面の簡単な説明

第1図、本発明に従うマイクロコンピュータの一実施例の構成を示すブロック図であり、

第2図(a)は、従来のマイクロコンピュータにおいて、条件判断命令の結果により実行される命令を有するプログラムの例を示すものであり、

第2図(b)は、従来のマイクロコンピュータにおいて条件判断命令によって、ある命令を実行するかしないかを選択する処理のフローチャートであり、

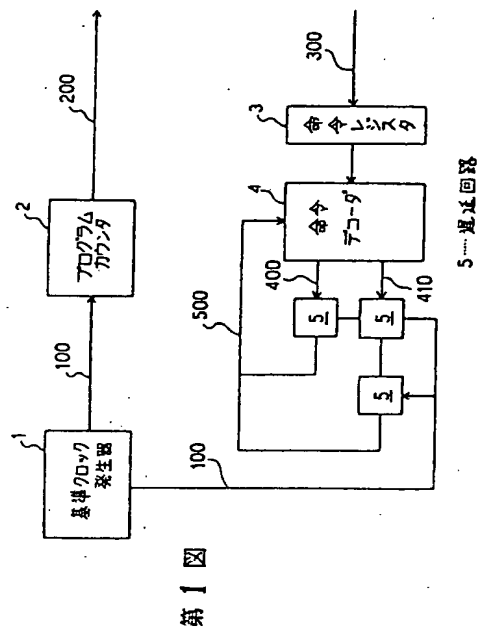
第3図(a)は、従来のマイクロコンピュータにおいて、条件判断命令を実行した結果、条件の真偽により異なる命令を選択的に実行する処理のフローチャートであり、

第3図(b)は、第3図(a)に示した処理を実行するためのプログラムを示すものであり、

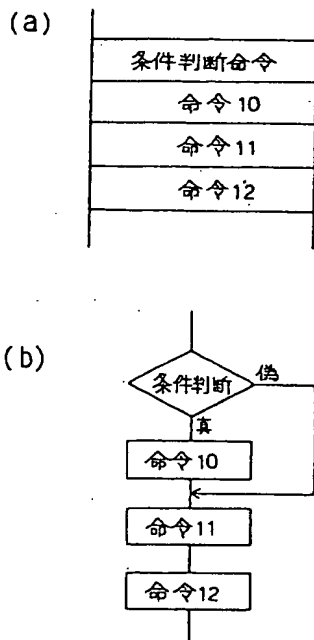
第4図は、第1図に示した本発明に従うマイクロコンピュータにおいて、第3図(a)に示した処理を実行する際の動作を示すものであり、第4図(a)は、条件判断命令の条件が真のときの制御信号の状態遷移を示し、第4図(b)は、条件判断命令の条件が偽のときの制御信号の状態遷移を示すものである。

(主な参照番号)

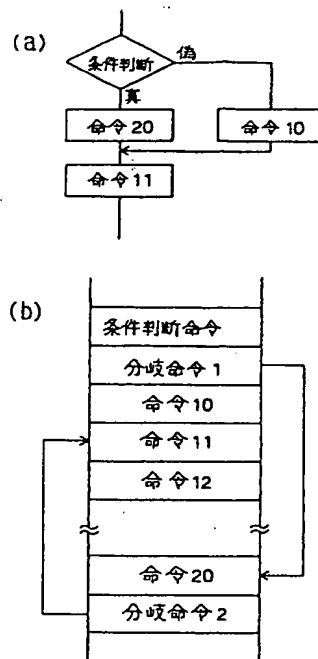
- 1・・・基準クロック発生器、
- 2・・・プログラム・カウンタ、
- 3・・・命令レジスタ、4・・・命令デコーダ、
- 5・・・遅延回路、
- 100・・・命令クロック、
- 200・・・アドレス・バス、
- 300・・・データ・バス、
- 400・・・真判断制御信号、
- 410・・・偽判断制御信号、
- 500・・・命令実行禁止信号、



第2図



第3図



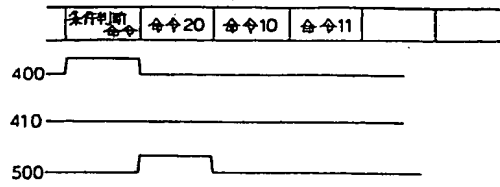


(5)

特開昭62-262140 (5)

第 4 図

(a)



(b)

